

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-249768
 (43)Date of publication of application : 26.09.1995

(51)Int.CI. H01L 29/78
 H01L 29/786

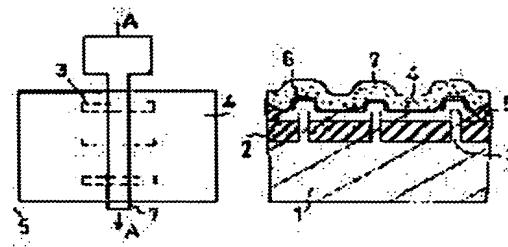
(21)Application number : 06-042136 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 14.03.1994 (72)Inventor : KAWANAKA SHIGERU
 USHIKU YUKIHIRO
 YOSHIMI MAKOTO
 MIZUNO TOMOHISA
 TERAUCHI MAMORU

(54) MIS TYPE SEMICONDUCTOR DEVICE AND ITS FABRICATION

(57)Abstract:

PURPOSE: To achieve low cut-off characteristics and high driving capacity equivalent to those of a conventional complete depletion type SOI MOSFET while solving the essential problem i.e., lowering of withstand voltage of drain and hump or hysteresis in the characteristics of element.

CONSTITUTION: The MIS type semiconductor device comprises a source-drain region provided in the semiconductor region 4 on the surface of a substrate 1 while being spaced apart from each other, a channel region formed in the source-drain region with protrusions and recesses being provided along a line connecting the source and drain regions, a first insulating film 2 embedded under the channel region while corresponding to the recess, a second insulating film 6 formed as a gate insulating film on the channel region, and a gate electrode 7 formed on the channel region through the second insulating film 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-249768

(43)公開日 平成7年(1995)9月26日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/78 29/786				
	7514-4M	H 01 L 29/ 78	3 0 1 G	
	7514-4M		3 0 1 H	
	9056-4M		3 1 1 X	
		審査請求 未請求 請求項の数10 O L (全 7 頁)		

(21)出願番号 特願平6-42136

(22)出願日 平成6年(1994)3月14日

(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 川中 繁
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 牛久 幸広
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 吉見 信
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74)代理人 弁理士 則近 慎佑

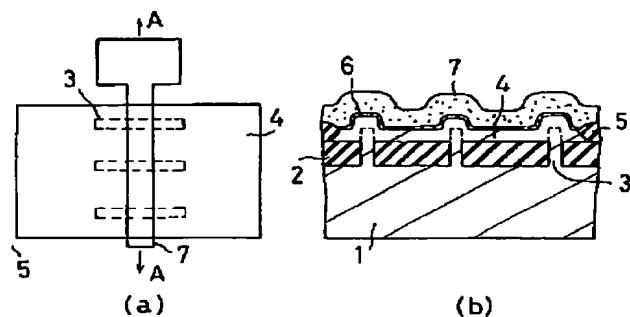
最終頁に続く

(54)【発明の名称】 M I S型半導体装置及びその製造方法

(57)【要約】

【目的】 従来の完全空乏型SOI MOSFETと同等な低カットオフ特性、高駆動能力を得るとともに、完全空乏型SOI構造において本質的な問題であったドレイン耐圧の低下、並びに素子特性におけるハンプやヒステリシスを防止すること。

【構成】 基板1表面の半導体領域4に離間して設けられたソース、ドレイン領域と、このソース、ドレイン領域間に設けられ、前記ソース、ドレイン領域間を結ぶ方向に沿って凹凸が表面に形成されたチャネル領域と、このチャネル領域下にその凹部に対応して埋め込み形成された第1の絶縁膜2と、前記チャネル領域上にゲート絶縁膜として形成された第2の絶縁膜6と、この第2の絶縁膜6を介して前記チャネル領域上に形成されたゲート電極7とが具備されてなることを特徴とするM I S型半導体装置。



【特許請求の範囲】

【請求項 1】 基板表面の半導体領域に離間して設けられたソース、ドレイン領域と、このソース、ドレイン領域間に設けられ、前記ソース、ドレイン領域間を結ぶ方向に沿って凹凸が表面に形成されたチャネル領域と、このチャネル領域下にその凹部に対応して埋め込み形成された第 1 の絶縁膜と、前記チャネル領域上にゲート絶縁膜として形成された第 2 の絶縁膜と、この第 2 の絶縁膜を介して前記チャネル領域上に形成されたゲート電極とが具備されてなることを特徴とする M I S 型半導体装置。

【請求項 2】 半導体基板上に第 1 の絶縁膜を介して形成された半導体領域と、この半導体領域に離間して設けられたソース、ドレイン領域と、このソース、ドレイン領域間に設けられ、前記ソース、ドレイン領域間を結ぶ方向に沿って凹凸が表面に形成されたチャネル領域と、このチャネル領域下にその凹部に対応して前記半導体基板と前記半導体領域との間に介在して形成された半導体柱と、前記チャネル領域上にゲート絶縁膜として形成された第 2 の絶縁膜と、この第 2 の絶縁膜を介して前記チャネル領域上に形成されたゲート電極とが具備されてなることを特徴とする M I S 型半導体装置。

【請求項 3】 前記半導体柱は前記第 1 の絶縁膜を貫通して設けられていることを特徴とする請求項 2 記載の M I S 型半導体装置。

【請求項 4】 前記第 1 の絶縁膜は、前記ソース、ドレイン領域の下にも渡って形成されていることを特徴とする請求項 1 又は 2 記載の M I S 型半導体装置。

【請求項 5】 前記チャネル領域の凹凸は複数設けられていることを特徴とする請求項 1 又は 2 記載の M I S 型半導体装置。

【請求項 6】 前記チャネル領域の凹凸の凸部は、そのチャネル幅方向の幅が前記ソース側よりも前記ドレイン側において長くなっていることを特徴とする請求項 1 又は 2 記載の M I S 型半導体装置。

【請求項 7】 前記第 1 の絶縁膜の下に、所定の電位の印加が可能な電極が形成されていることを特徴とする請求項 1 又は 2 記載の M I S 型半導体装置。

【請求項 8】 前記チャネル領域は n 型となり、前記所定の電位は零、若しくは負に設定されることを特徴とする請求項 7 記載の M I S 型半導体装置。

【請求項 9】 前記チャネル領域は p 型となり、前記所定の電位は零、若しくは正に設定されることを特徴とする請求項 7 記載の M I S 型半導体装置。

【請求項 10】 基板表面の半導体領域を選択的にエッチングすることにより、一方向に沿って溝を形成する工程と、前記溝の途中まで絶縁膜を埋め込む工程と、前記半導体領域及び前記絶縁膜上に非晶質半導体膜を形成する工程と、前記半導体領域をシードとして前記非晶質半導体膜を単結晶化することにより、単結晶半導体膜を形

成する工程と、前記溝が形成された方向がチャネル長さ方向となるように、前記単結晶半導体膜にソース、ドレイン領域を形成するとともに、前記単結晶半導体膜のチャネル領域上にゲート絶縁膜及びゲート電極を形成する工程とを具備したことを特徴とする M I S 型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は M I S 型半導体装置及びその製造方法に係わり、特に改良された M I S 型電界効果トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】 従来、 M O S 集積回路では主に素子の微細化により集積度、及び回路動作の高速化が達成されてきた。しかし、素子の微細化が進むにつれ、基板不純物の高濃度化、ゲート絶縁膜の薄膜化等の限界が見え初め、 S O I (S i l i c o n O n I n s u l a t o r) 等の新たな素子構造が提案されている。

【0003】 特に、 S O I 構造の M O S F E T (以下、 S O I M O S F E T と称する。) は、高駆動能力で、且つ良好なカットオフ特性を得ると共に、素子の寄生容量を大幅に低減することができる素子として注目されている。この S O I M O S F E T においては、チャネル及びソース・ドレイン領域の下に埋め込み絶縁膜が形成され、上層の活性層が薄膜化されるとともに、不純物濃度は低く抑えられており、上記活性層内が完全に空乏化されている。この空乏化により上記した優れた特性を得ることができる。

【0004】 しかし、上記した S O I M O S F E T の構造においては、基板の電位を固定することができず、インパクトイオン化等で発生する少数キャリアが活性層に蓄積する。これにより寄生トランジスタ効果が顕著となり、ドレイン耐圧の低下が著しくなる。さらに、ゲート電圧とドレイン電流間の関係を示す特性曲線において屈曲部が現れたり (ハンプ) 、オンオフ時においてドレイン電流がヒステリシス特性を持つようになるという問題が生ずる。

【0005】 また、これら S O I 構造を形成する方法として、 S I M O X (S e p a r a t i o n b y I m p l a n t e d O x y g e n) やウエハの張り合わせ等がこれまで用いられているが、局所的な埋め込み絶縁膜の形成、上部活性層の膜厚制御性、並びに結晶性等において問題点がある。

【0006】 また、チャネル活性層内を空乏化させる素子として、特願昭 6 2-241411 に示された構造を有する M O S F E T が提案されている。この M O S F E T は S O I 構造をとらず、上記のごとき S O I M O S F E T 固有の問題点はない。上記 M O S F E T の具体的な構造は、シリコン基板表面のチャネル領域にチャネル長方向に沿って複数の溝 (凹凸) が形成されたものであ

り、動作時に凸部側壁表面から空乏層が伸び、隣の凸部側壁表面から伸びる空乏層と接し、凸部チャネル領域が完全空乏化するものである。さらに、本構造では実効的なチャネル幅も増加し、その結果素子の駆動能力が増加するという利点もある。

【0007】しかしながら、上記構造のMOSFETにおいては、溝底部に形成されるチャネルに対してはゲート電極の支配力が弱く、パンチスルーを起こしやすいという問題があった。

【0008】

【発明が解決しようとする課題】以上述べたように、従来のMIS型半導体装置及びその製造方法においては、SOI MOSFET構造の場合には、ドレイン耐圧の低下、ハンプ、ヒステリシスという問題があった。さらに、チャネル領域に複数の溝が形成された構造のMOSFETの場合には、溝底部に形成されるチャネルに対してゲート電極の支配力が弱く、パンチスルーを起こしやすいという問題があった。

【0009】本発明は、完全空乏型SOI MOSFETの利点を維持しつつドレイン耐圧の低下を抑制し、ハンプやヒステリシスのない高駆動能力の素子を得ることを目的とする。

【0010】

【課題を解決するための手段】前述した問題を解決するため本発明は、基板表面の半導体領域に離間して設けられたソース、ドレイン領域と、このソース、ドレイン領域間に設けられ、前記ソース、ドレイン領域間を結ぶ方向に沿って凹凸が表面に形成されたチャネル領域と、このチャネル領域下にその凹部に対応して埋め込み形成された第1の絶縁膜と、前記チャネル領域上にゲート絶縁膜として形成された第2の絶縁膜と、この第2の絶縁膜を介して前記チャネル領域上に形成されたゲート電極とが具備されてなることを特徴とするMIS型半導体装置を提供する。

【0011】また本発明は、半導体基板上に第1の絶縁膜を介して形成された半導体領域と、この半導体領域に離間して設けられたソース、ドレイン領域と、このソース、ドレイン領域間に設けられ、前記ソース、ドレイン領域間を結ぶ方向に沿って凹凸が表面に形成されたチャネル領域と、このチャネル領域下にその凸部に対応して前記半導体基板と前記半導体領域との間に介在して形成された半導体柱と、前記チャネル領域上にゲート絶縁膜として形成された第2の絶縁膜と、この第2の絶縁膜を介して前記チャネル領域上に形成されたゲート電極とが具備されてなることを特徴とするMIS型半導体装置を提供する。

【0012】さらに本発明は、基板表面の半導体領域を選択的にエッチングすることにより、一方向に沿って溝を形成する工程と、前記溝の途中まで絶縁膜を埋め込む工程と、前記半導体領域及び前記絶縁膜上に非晶質半導

体膜を形成する工程と、前記半導体領域をシードとして前記非晶質半導体膜を単結晶化することにより、単結晶半導体膜を形成する工程と、前記溝が形成された方向がチャネル長さ方向となるように、前記単結晶半導体膜にソース、ドレイン領域を形成するとともに、前記単結晶半導体膜のチャネル領域上にゲート絶縁膜及びゲート電極を形成する工程とを具備したことを特徴とするMIS型半導体装置の製造方法を提供する。

【0013】ここで、上記した本発明において以下の様が好ましい。

(1) 前記第1の絶縁膜は、前記ソース、ドレイン領域の下にも渡って形成されていること。

【0014】(2) 前記半導体柱は前記第1の絶縁膜を貫通して設けられていること。

(3) 前記チャネル領域の凹凸は複数設けられていること。

(4) 前記チャネル領域の凹凸の凸部は、そのチャネル幅方向の幅が前記ソース側よりも前記ドレイン側において長くなっていること。

【0015】(5) 前記第1の絶縁膜の下に、所定の電位の印加が可能な電極が形成されていること。

(6) 前記チャネル領域はn型となり、前記所定の電位は零、若しくは負に設定されること。

(7) 前記チャネル領域はp型となり、前記所定の電位は零、若しくは正に設定されること。

【0016】

【作用】本発明のMIS型半導体装置によれば、半導体領域のチャネル領域に設けられた凸部に対応して、前記半導体領域と半導体基板間に介在して半導体柱が形成されているので、素子動作中に前記半導体領域のドレイン領域近傍において衝突電離等により発生した少数キャリアを、前記半導体柱を通して前記半導体基板へと吸い出すことができる。特に、ゲート電極の支配力が強い凸部において、衝突電離等による少数キャリアがより多く発生すると考えられ、この少数キャリアを上記の如く凸部に対応して形成された半導体柱を通して半導体基板へと効率よく吸い出すことが可能である。このため、前記半導体領域のSOI中性領域の電位を一定に保つことができ、ドレイン耐圧を向上させ、ハンプやヒステリシスを抑制することができる。さらに、基板より所望の電位を与えれば、上記効果は一層著しくなり、寄生トランジスタ効果を十分に低減させ、ドレイン耐圧の十分な向上を図ることができる。

【0017】一方、前記半導体領域のチャネル領域に設けられた凹部に対応して、第1の絶縁膜が埋め込み形成されているので、上記凸部とは逆にゲート電極の支配力が弱い凹部において、前記半導体基板の基板容量による影響を十分に抑えることができ、パンチスルーを防止することができる。

【0018】また、半導体領域のチャネル領域に設けら

れた凹凸により、実効的な素子のチャネル幅が増加するので、その結果、素子の電流駆動能力も増加する。以上のように、本発明のMIS型半導体装置によれば、完全空乏型SOI MOSFETと同様なカットオフ特性、電流駆動能力が得られる。

【0019】また、本発明のMIS型半導体装置の製造方法によれば、初めに基板の所望領域をエッティングして絶縁膜を埋め込み、素子のチャネル領域下となる任意の場所に埋め込み絶縁膜を形成し、さらにその後、非結晶半導体膜を成膜して、加熱により基板単結晶半導体との界面より固相成長させる。ここで、シード（種）としての前記単結晶半導体の上面（（100）系の面方位等）、又は側面（（001）、（010）系の面方位等）は90°の角度をなし、さらに結晶面に対して45°の方向に固相成長による単結晶化が安定して起こるので、結晶性の良好な単結晶半導体の活性層を形成することができる。

【0020】さらに、埋め込み絶縁膜や、固相成長工程でその種となる柱状単結晶半導体の間隔、本数、高さ、厚さ、非結晶半導体の堆積膜厚、活性層中の不純物濃度等を制御することにより、さらに、結晶性が良好で膜厚の制御性も良い活性層を形成することができ、上記した本発明のMIS型半導体装置を制御性良く製造することができる。

【0021】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1（a）、（b）は本発明によるMIS型半導体装置に係る一実施例を示す概略図である。図1（a）はその平面図、図1（b）は図1（a）の矢印A-Aにおける断面図である。この図1に示されるMIS型半導体装置はMIS型電界効果トランジスタである。図中1はp型Si基板であり、この基板1上に埋め込み絶縁膜2が形成され、この埋め込み絶縁膜2に囲まれるように単結晶Si柱3が形成されている。埋め込み絶縁膜2は、後述するソース、ドレイン領域の全面若しくは一部の下にも渡って延在して形成されているが、所望により該ソース、ドレイン領域下に渡り延在しないようにする場合もあり得る。しかしながら、完全空乏型SOI MOSFETと同様なカットオフ特性、電流駆動能力を得るためにには、延在して形成されることが好ましい。

【0022】また、前記単結晶Si柱3を介して基板1と導通するように、単結晶からなる活性層4が埋め込み絶縁膜2上に形成されている。この活性層4は、非結晶Siの固相成長により形成されており、LOCOS（Local Oxidation of Silicon）法により素子分離されている。5は素子分離絶縁膜である。活性層4の上には、ゲート絶縁膜6を介してゲート電極7が設けられている。

【0023】さらに、活性層4の表面にはゲート電極7を挟んでn型のソース及びドレイン領域（図示せず。）

が形成されており、図1（a）に示すように、単結晶Si柱3が上記n型ソース領域からドレイン領域にかかる様にチャネル長さ方向に沿って形成されている。上記単結晶Si柱3は、上面から見て矩形状に形成されるとともに、チャネル幅方向に複数個平行に並んで形成されている。単結晶Si柱3は1つのみ形成されていても良い。さらに、単結晶Si柱3の上に対応する部分の活性層4は、選択的に凸状に盛り上がっており、活性層4上に形成されるゲート絶縁膜6及びゲート電極7は、上記凸状の盛り上がりに応じた起伏形状を呈している。

【0024】上記した本発明のMIS型電界効果トランジスタによれば、以下に示す効果がある。即ち、活性層4のチャネル領域に設けられた凸部に対応して、活性層4と基板1間に単結晶Si柱3が形成されているので、素子動作中に活性層4のドレイン領域近傍において衝突電離等により発生した少数キャリア（正孔）を、単結晶Si柱3を通して基板1へと吸い出すことができる。特に、ゲート電極7の支配力が強い凸部において、衝突電離等による少数キャリアがより多く発生すると考えられ、この少数キャリアを上記の如く凸部に対応して形成された単結晶Si柱3を通して基板1へと効率よく吸い出すことが可能である。このため、活性層4のSOI中性領域の電位を一定に保つことができ、ドレイン耐圧を向上させ、ハンプやヒステリシスを抑制することができる。さらに、基板1より零（即ち、接地電位）或いは負の電位を与えれば、上記効果は一層著しくなり、寄生トランジスタ効果を十分に低減させ、ドレイン耐圧の十分な向上を図ることができる。

【0025】一方、活性層4のチャネル領域に設けられた凹部に対応して、埋め込み絶縁膜2が埋め込み形成されているので、上記凸部とは逆にゲート電極7の支配力が弱い凹部において、基板1の基板容量による影響を十分に抑えることができ、パンチスルーを防止することができる。

【0026】また、活性層4のチャネル領域に設けられた凹凸により、実効的な素子のチャネル幅が増加するので、その結果、素子の電流駆動能力も増加する。以上のように、上記実施例に係る本発明のMIS型電界効果トランジスタによれば、完全空乏型SOI MOSFETと同様なカットオフ特性、電流駆動能力が得られる。

【0027】なお、上記した実施例には示していないが、衝突電離によって正孔の発生しやすいドレイン近傍に平面的に広い面積の単結晶Si柱3領域を形成すると、その正孔を活性層4より吸い出す効果も大きくなる。例えば、チャネル領域の凹凸の凸部を、そのチャネル幅方向の幅が前記ソース側よりも前記ドレイン側において長くなるように形成することが好ましい。

【0028】図2に、従来のSOI MOSFET及び本発明のMIS型電界効果トランジスタの電流電圧特性を比較した特性図を示す。図2（a）は従来の完全空乏

型のn型SOI MOSFETにおける典型的なドレイン電流電圧特性を示す特性図である。この場合、ドレイン電圧の上昇に伴い、ドレイン領域近傍における衝突電離等により正孔が発生し、この正孔は活性層としてのSOI中性領域に注入される。それ以降注入された正孔は、ソース側のポテンシャルの山を越えることができず、そのまま上記SOI中性領域に蓄積してその電位を変化させてしまう。この結果、ソース及びドレイン領域をエミッタ、コレクタとし、SOI活性層の中性領域（チャネル）をベースとする疑似バイポーラ動作が起こり、上記図2(a)に示したように素子耐圧の劣化やパンチスルーという問題が生ずる。

【0029】一方、図2(b)は上記した本発明の実施例におけるn型MOSFETのドレイン電流電圧特性を示す特性図である。ここでは、SOI活性層4の膜厚が40nm、埋め込み絶縁膜（酸化膜）2の膜厚が300nm、ゲート絶縁膜（酸化膜）6の膜厚が9nmである。また、埋め込み酸化膜6の表面から単結晶Si柱3の上面（図1(b)の点線部分）までの高さは100nm、チャネル幅方向の単結晶Si柱3の幅は10nmである。上記活性層4中の不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ に設定されており、素子の動作時のしきい値電圧においては、ゲート電極7の下の活性層4全体が空乏化する。さらに、埋め込み酸化膜2下の不純物濃度 $4 \times 10^{16} \text{ cm}^{-3}$ のpウエルに接地電位を与えることにより、素子動作中に衝突電離等により発生した正孔は単結晶Si柱3を介しSi基板1へと吸い出され、SOI中性領域の電位を一定に保つことができる。上記図2(b)により、従来問題であったドレイン耐圧の劣化が回避されていることがわかる。

【0030】次に、本発明によるMIS型半導体装置の製造方法として上記したMIS型電界効果トランジスタの製造方法の一実施例を示す。図3はその工程断面図である。まず、不純物濃度が $4 \times 10^{16} \text{ cm}^{-3}$ のp型Si基板31上に厚さ6nmの熱酸化膜32を形成する。この上にCVD (Chemical Vapor Deposition) 法により厚さ200nmの多結晶Si膜33を堆積し、さらにCVD法により厚さ200nmのシリコン酸化膜34を堆積する。

【0031】次に、レジストパターン（図示せず）を設け、これをマスクとしてRIE (Reactive Ion Etching) 法により、前記シリコン酸化膜34をエッティングする。ここで、レジストパターンを剥離し、このシリコン酸化膜34をマスクとしてRIE法で多結晶Si膜33、熱酸化膜32、Si基板31をそれぞれエッティングする（図3(a)）。この時のSi基板の設ける溝35の深さは500nmに設定する。

【0032】次に、Si基板31の表面に10nmの熱酸化膜36を形成し、CVD法によりシリコン酸化膜37を全面に1μm堆積する（図3(b)）。さらに、平

坦化のためのレジスト（図示せず）を塗布し、ベーキングによりフローさせる。その後、RIE法によるエッチバックを行うことにより、Si基板31の溝35の底部より上に0.4μmの厚さで、埋め込み酸化膜としてシリコン酸化膜37を残す（図3(c)）。この時、多結晶Si膜33上のシリコン酸化膜34はエッチバックと同時に剥離される。なお、多結晶Si膜33はエッチバックのマスクとなる。

【0033】次に、Si基板31の溝35間に形成される単結晶Si柱38上の多結晶Si膜33、熱酸化膜32をCDE (Chemical Dry Etching) 法により剥離し、単結晶Si柱38の上面を露出させた後、非結晶Si膜39を40nm堆積させる（図4(a)）。

【0034】この後、600°Cで3時間のアニールを行うことにより、非結晶Si膜39と単結晶Si柱38との界面、即ち単結晶Si柱38の上面及び側面より非結晶Si膜39の結晶化（固相成長）が起こり、単結晶SiからなるSOI活性層40が形成される。ここでは、単結晶Si柱38を埋め込み酸化膜としてのシリコン酸化膜37より上に一部露出させているので、単結晶Si柱38の上面では(100)方向に、Si柱38の側面では(110)方向に、共に一方向への結晶成長が同時に起こる。このため、結晶成長がスムーズに進み、結晶性の良好な単結晶の活性層40を得ることが可能となる。また、SOI活性層40の膜厚は非結晶Siの堆積膜厚によって決まり制御性に優れている。

【0035】また、基板31上に堆積された非結晶Si膜39は、下地の凹凸を反映し段差が生じる。この非結晶Si膜39を単結晶化するための熱工程後も該段差は残るため、実効的な素子のチャネル幅が増加し、その結果、素子の電流駆動能力も増加する。

【0036】次に、上記SOI活性層40をLOCOS法により選択酸化することによって、素子分離のためのシリコン酸化膜41を形成する。次に、前記活性層40の表面に熱酸化により膜厚9nmのゲート絶縁膜42を形成した後、ゲート電極となるリングが不純物として添加された多結晶Si膜43をCVD法により堆積する。その後、層間絶縁膜としてシリコン酸化膜44を堆積し、CMP (Chemical Mechanical Polishing) 法を用いて表面を平坦化し、その上に配線45を形成する。

【0037】以上のように、非結晶Si膜39の固相成長のシードとして単結晶Si柱38を用いることにより、3次元的、且つ單一方向に、且つ同時に結晶成長をさせることができ、従来用いて来た製造技術を用いて容易に所望の素子構造を実現することができる。

【0038】なお、本発明は上記実施例に限定されることはない。例えば、上記実施例（n型チャネル領域の場合）においては、埋め込み酸化膜2下の不純物濃度 $4 \times 10^{16} \text{ cm}^{-3}$ のpウエルに接地電位を与えることにより、素子動作中に衝突電離等により発生した正孔は単結晶Si柱3を介しSi基板1へと吸い出され、SOI中性領域の電位を一定に保つことができる。

10^{16} cm^{-3} の p ウエルに接地電位を与えているが、この電位として負の電位を与えることも可能である。さらに、p 型チャネル領域の場合には、少数キャリアとして蓄積されるものは電子となるので、基板に与える所望の電位としては零（接地電位）、若しくは正の電位が好ましい。

【0039】図4は、本発明によるMIS型半導体装置の電界効果トランジスタに係わる他の実施例のゲート幅方向の断面図である。この図に示すように、埋め込み酸化膜2の下に基板電位を与えるための埋め込み電極51が形成されている。この埋め込み電極51は、主として金属、例えばW、Al、或いはこれらの化合物（シリサイド等）、さらにはドープされたポリシリコン等の抵抗の低い材料からなっている。上記埋め込み電極51に所定の電位を与えることによって、少数キャリアの吸い出し効果をさらに向上させることができる。その電位は、上記した場合と同様にn型チャネル領域の場合は零（接地電位）、若しくは負の電位であり、p型チャネル領域の場合は零（接地電位）、若しくは正の電位である。

【0040】また、上記実施例では、チャネル領域に設けられた凹凸の凹部表面とソース及びドレイン領域表面とが同一平面内にあるが、凸部表面とソース及びドレイン領域表面とが同一平面内にあるようにしてもよい。

【0041】さらに、上記実施例ではMIS型半導体装置として電界効果トランジスタを挙げたが、他のデバイスでもよく、例えば不揮発性メモリーや電荷結合デバイス等に対しても本発明は適用可能である。その他本発明の要旨を逸脱しない範囲で種々変形して実施できる。

【0042】

【発明の効果】以上述べたように本発明によれば、素子動作中にドレイン領域近傍において衝突電離等により発生する少数キャリアを単結晶半導体柱を介し基板へと吸い出すので、SOI中性領域の電位を一定に保つことができ、従来問題であったドレイン耐圧の劣化等を回避することが可能である。さらに、完全空乏型SOI MOSFETと同様なカットオフ特性、電流駆動能力が得

られる。また、本発明の製造方法を採ることにより、結晶性の良好な、且つ膜厚の制御性に優れた、基板と導通のとれたSOI活性層を得ることができる。

【図面の簡単な説明】

【図1】 (a) は本発明によるMIS型半導体装置の電界効果トランジスタに係わる一実施例の平面図、(b) は該実施例のゲート幅方向の断面図。

【図2】 (a) は従来のSOI MOSFETの電流電圧特性、(b) は本発明のMIS型電界効果トランジスタの電流電圧特性を示す特性図。

【図3】 本発明によるMIS型半導体装置の製造方法として電界効果トランジスタの製造方法に係わる一実施例を示す工程断面図。

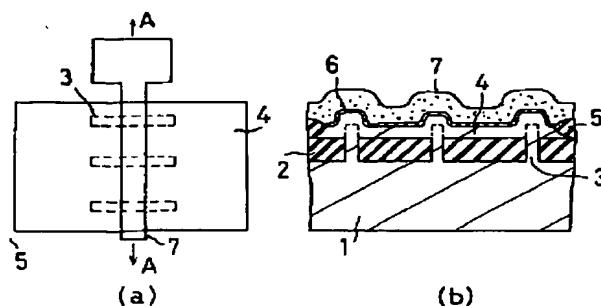
【図4】 本発明によるMIS型半導体装置の製造方法として電界効果トランジスタの製造方法に係わる一実施例を示す、図3に続く工程断面図。

【図5】 本発明によるMIS型半導体装置の電界効果トランジスタに係わる他の実施例のゲート幅方向の断面図。

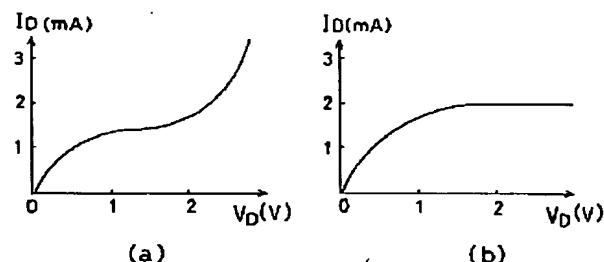
【符号の説明】

- 1、31 S i 基板、
- 2、37 埋め込み絶縁膜、
- 3、38 単結晶S i 柱、
- 4、40 SOI活性層、
- 5、41 素子分離絶縁膜、
- 6、42 ゲート絶縁膜、
- 7、43 ゲート電極、
- 32、36 熱酸化膜、
- 33 多結晶S i 膜、
- 34 S i 酸化膜、
- 35 溝、
- 39 非晶質S i 層、
- 44 層間絶縁膜、
- 45 上部配線、
- 51 埋め込み電極。

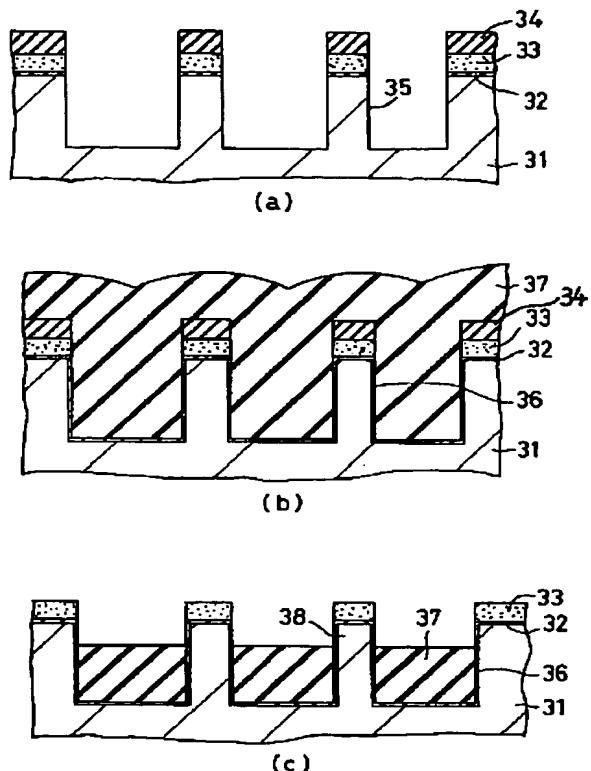
【図1】



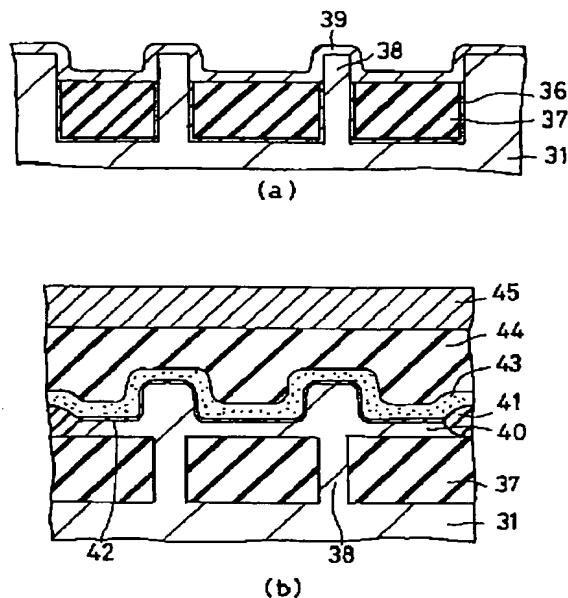
【図2】



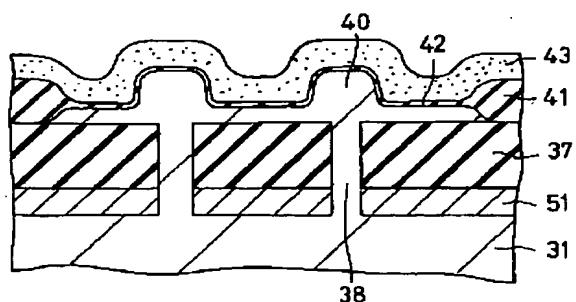
【図3】



【図4】



【図5】



フロントページの続き

(72) 発明者 水野 智久
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 寺内 衛
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内